

Docket No.: SON-2935  
(PATENT)

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Patent Application of:  
Toshiyuki Nishihara

Art Unit: N/A

Application No.: Not Yet Assigned

Filed: March 11, 2004

For: INFORMATION PROCESSING APPARATUS  
AND SEMICONDUCTOR MEMORY

**CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENT**

MS Patent Application  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Dear Sir:

Applicant hereby claims priority under 35 U.S.C. 119 based on the following prior foreign application filed in the following foreign country on the date indicated:

<u>Country</u>	<u>Application No.</u>	<u>Date</u>
Japan	P2003-072489	March 17, 2003

In support of this claim, a certified copy of the said original foreign application is filed herewith.

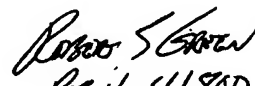
Dated: March 11, 2004

Respectfully submitted,

By

  
Ronald P. Kananen

Registration No.: 24,104  
(202) 955-3750  
Attorneys for Applicant

  
Rec'd No. 4/1,800

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2 0 0 3 年 3 月 1 7 日

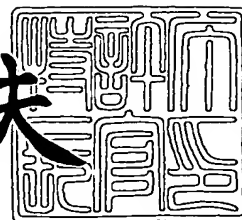
出 願 番 号  
Application Number: 特 願 2 0 0 3 - 0 7 2 4 8 9  
[ST. 10/C]: [ J P 2 0 0 3 - 0 7 2 4 8 9 ]

出 願 人  
Applicant(s): ソニー株式会社

2 0 0 4 年 1 月 2 8 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 0290863903

【提出日】 平成15年 3月17日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/00

【発明者】

    【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社  
                                内

    【氏名】 西原 利幸

【特許出願人】

    【識別番号】 000002185

    【氏名又は名称】 ソニー株式会社

【代理人】

    【識別番号】 100086841

    【弁理士】

    【氏名又は名称】 脇 篤夫

【代理人】

    【識別番号】 100114122

    【弁理士】

    【氏名又は名称】 鈴木 伸夫

【手数料の表示】

    【予納台帳番号】 014650

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 9710074

    【包括委任状番号】 0007553

●  
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 情報処理装置と半導体メモリ

【特許請求の範囲】

【請求項 1】 複数の不揮発性メモリセルを含む半導体メモリ手段と、  
装置の不使用期間において、上記半導体メモリ手段のリフレッシュ動作のための電源供給をオン／オフするスイッチ手段と、

上記不使用期間も常時電源が供給されており、上記不使用期間において、上記スイッチ手段をオンに制御するとともに、上記不揮発性メモリセルのリフレッシュ動作を実行させるリフレッシュ制御手段と、

を備えることを特徴とする情報処理装置。

【請求項 2】 上記リフレッシュ制御手段は、定期的に、  
上記スイッチ手段をオンに制御し、  
上記不揮発性メモリセルのアドレスを指定して、当該指定したアドレスに対応した上記不揮発性メモリセルのリフレッシュ動作を実行させ、

その後上記スイッチ手段をオフに制御する処理を実行することを特徴とする請求項 1 に記載の情報処理装置。

【請求項 3】 上記不揮発性メモリセルは、  
記憶材料に強誘電体膜を用い、上記強誘電体膜の分極方向の違いによって 2 値以上のデータを記憶する構造、

又は、記憶材料に磁性体膜を用い、上記磁性体膜の磁化方向の違いによって 2 値以上のデータを記憶する構造、

又は、記憶材料にカルコゲナイド膜を用い、上記カルコゲナイド膜の結晶状態の違いによって 2 値以上のデータを記憶する構造とされていることを特徴とする請求項 1 に記載の情報処理装置。

【請求項 4】 上記スイッチ手段、及び上記リフレッシュ制御手段は、上記半導体メモリ手段を含むメモリチップ内に内蔵されることを特徴とする請求項 1 に記載の情報処理装置。

【請求項 5】 不揮発性メモリセルと、

電源端子に対する電源投入に応じて、アドレス端子に入力されたアドレスに対応する上記不揮発性メモリセルのリフレッシュ動作の実行信号を発生する信号発生部と、

を備えたことを特徴とする半導体メモリ。

【請求項 6】 不揮発性メモリセルと、

上記不揮発性メモリセルのリフレッシュ動作のための電源供給をオン／オフするスイッチ手段と、

上記スイッチ手段のオフ期間も電源供給され、上記オフ期間において、上記スイッチ手段をオンに制御するとともに、上記不揮発性メモリセルのリフレッシュ動作を実行させるリフレッシュ制御手段と、

を備えることを特徴とする半導体メモリ。

【請求項 7】 上記リフレッシュ制御手段は、定期的に、

上記スイッチ手段をオンに制御し、

上記不揮発性メモリセルのアドレスを指定して、当該指定したアドレスに対応した上記不揮発性のメモリセルのリフレッシュ動作を実行させ、

その後上記スイッチ手段をオフに制御する処理を実行することを特徴とする請求項 6 に記載の半導体メモリ。

【請求項 8】 主電源が供給される第 1 の電源端子と、

バックアップ電源が常時供給される第 2 の電源端子と、

上記第 1 の電源端子からの電源供給状態を監視すると共に、上記第 1 の電源端子からの電源電圧が所定以下となることに応じて上記リフレッシュ制御手段に実行制御信号を与える電源感知手段とをさらに備え、

上記スイッチ手段は、上記第 2 の電源端子を介した上記不揮発性メモリセルのリフレッシュ動作のための電源供給をオン／オフし、

上記リフレッシュ制御手段は、上記電源感知手段から供給された上記実行制御信号に応じて上記スイッチ手段をオンに制御するとともに、上記不揮発性メモリセルのリフレッシュ動作を実行させることを特徴とする請求項 6 に記載の半導体メモリ。

【請求項 9】 上記不揮発性メモリセルは、

記憶材料に強誘電体膜を用い、上記強誘電体膜の分極方向の違いによって2値以上のデータを記憶する構造、

又は、記憶材料に磁性体膜を用い、上記磁性体膜の磁化方向の違いによって2値以上のデータを記憶する構造、

又は、記憶材料にカルコゲナイド膜を用い、上記カルコゲナイド膜の結晶状態の違いによって2値以上のデータを記憶する構造とされていることを特徴とする請求項5又は請求項6に記載の半導体メモリ。

【請求項10】 上記不揮発性メモリセルは、記憶材料に強誘電体膜を用い、上記強誘電体膜の分極方向の違いによって2値以上のデータを記憶する強誘電体キャパシタを含むとともに、

上記リフレッシュ動作時には、リフレッシュを行うメモリセル群からのデータの読み出し動作の後に、上記メモリセル群全体に「1」のデータを書き込み、その後に各々の上記メモリセル群に記憶されていたデータの復元を行うことを特徴とする請求項5又は請求項6に記載の半導体メモリ。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は半導体メモリ及び半導体メモリが搭載された情報処理装置に関するものである。

##### 【0002】

##### 【従来の技術】

【特許文献1】 米国特許4873664

【特許文献2】 特開平9-326200

【特許文献3】 特開2000-11665

【特許文献4】 特開平11-162182

【特許文献5】 特開平5-62469

##### 【0003】

近年、高速書き換えが可能な、新しい半導体不揮発性メモリが注目されている。それらは低電圧で高速に状態を変化させることが出来、かつ自発的にその状態

を保持できる種々の素材を活用している。

その代表的な例としては、強誘電体メモリが挙げられる。現在主流となっている強誘電体メモリのセル構造と動作は上記特許文献1で提案されたものである。

#### 【0004】

その実現方法の一例を図11に示す。これはメモリセルを一つのアクセストランジスタと一つの強誘電体キャパシタで構成するものであり、例えば対となったメモリセルに相補的にデータを書きこむことにより1ビットを記憶する。

図11の例では、メモリアレイとして構成されるメモリセルMC11, MC21, MC31, MC41、MC12, MC22, MC32, MC42を示している。これら各メモリセルMCは、アクセストランジスタと強誘電体キャパシタで構成される。例えばメモリセルMC11はアクセストランジスタT11と強誘電体キャパシタC11で構成される。またメモリセルMC21はアクセストランジスタT21と強誘電体キャパシタC21で構成される。

#### 【0005】

ワード線WL (WL1、WL2・・・) には、ワード線デコーダ／ドライバ1によって、アクセスするアドレスに応じた電圧印加が行われる。

ワード線WL1にはメモリセルMC11, MC21, MC31, MC41を含むメモリセル行の各アクセストランジスタ (T11, T12・・・) のゲート電極が接続される。

ワード線WL2にはメモリセルMC12, MC22, MC32, MC42を含むメモリセル行の各アクセストランジスタのゲート電極が接続される。

#### 【0006】

ワード線WLと直交する方向にはビット線BL (BL1, BL2・・・) が配されている。

例えばビット線BL1, BL2はセンスアンプ3-1によって電圧印加され、また電位検出されるビット線対とされる。またビット線BL3, BL4はセンスアンプ3-2によって電圧印加され、また電位検出されるビット線対とされる。

プレート線PL (PL1、PL2・・・) には、プレート線デコーダ／ドライバ2によって所定の電圧印加が行われる。



プレート線 P L 1 には、メモリセル M C 1 1, M C 2 1, M C 3 1, M C 4 1 を含むメモリセル行の各強誘電体キャパシタ (C 1 1, C 1 2 . . . ) の一端が接続される。

プレート線 P L 2 には、メモリセル M C 1 2, M C 2 2, M C 3 2, M C 4 2 を含むメモリセル行の各強誘電体キャパシタの一端が接続される。

そして各メモリセル M C においては、ワード線 W L によってアクセストランジスタがオンとされることで、それぞれ対応するビット線 B L に接続されることになる。

#### 【 0 0 0 7 】

このような構成では、2つの強誘電体キャパシタを用いて、相補的に1ビットを記憶する。即ち一对のビット線 B L 1, B L 2 に接続されたメモリユニット M U 1 1, M U 2 1 を構成する各誘電体キャパシタ C 1 1 と C 2 1 が対となり、その分極方向により相補的に1ビットづつのデータが記憶される。

例えばキャパシタ C 1 1 に「1」を書き込む場合、ワード線 W L 1 を選択し、プレート線 P L 1 を 0 V として、ビット線 B L 1, B L 2 を駆動して、キャパシタ C 1 1 に「1」の分極方向と成る電圧を印加する。一方、キャパシタ C 2 1 は「0」の分極方向とされるようにする。

また読出の際には、ワード線 W L 1 を選択し、プレート線 P L 1 を駆動すると、キャパシタ C 1 1, C 2 1 から相補的なデータとしてビット線対 B L 1, B L 2 に電荷が放出される。それによって生じた電位差を差動型のセンスアンプ 3 - 1 で検出することでデータを読み出すことができる。

#### 【 0 0 0 8 】

この読出時の様子を図 1 2 のヒステリシスカーブで説明する。横軸は強誘電体キャパシタに印加される電圧、縦軸は分極量を示す。

読み出しの初期状態ではプレート線 P L 1 及びビット線対 B L 1, B L 2 が 0 V にイコライズされており、かつビット線 B L 1, B L 2 は浮遊状態となっている。上記対となったキャパシタ C 1 1, C 2 1 は互いに反対方向に分極しており、例えばキャパシタ C 1 1 は図 1 2 の (H 0)、キャパシタ C 2 1 は (H 1) の状態にある。

ここでプレート線 P L 1 に電圧  $V_{cc}$  のパルスを印加することで、両キャパシタ C 1 1, C 2 1 には略  $V_{cc}$  が印加され、両者はともに (H 2) の状態に移行する。これに伴って初期状態からの分極変異量の差に対応する信号差がビット線 B L 1 と B L 2 の間に生じる。

即ちキャパシタ C 1 1, C 2 1 のうち、キャパシタ C 2 1 のみが分極反転し、その反転に相応した信号差がビット線 B L 1, B L 2 間に顕れる。具体的には分極反転した側のビット線 B L 2 の電位が高くなる。それを差動センスアンプ 3-1 でセンスすることによってデータを得る。

#### 【0009】

さらにセンスアンプ 3-1 を活性化することで、ビット線 B L 1 は 0 V に、ビット線 B L 2 は電圧  $V_{cc}$  にまで増幅される。

この時キャパシタ C 1 1 は (H 2) 付近に留まるが、キャパシタ C 2 1 への印加電圧は 0 となって、その状態は (H 0) に推移する。

次にプレート線 P L 1 を再度 0 V に駆動することで、キャパシタ C 1 1、C 2 1 への印加電圧はそれぞれ 0 及び ( $-V_{cc}$ ) に変わる。この時キャパシタ C 1 1 の状態は (H 0) に戻り、キャパシタ C 2 1 の状態は (H 3) に推移して、再度分極方向が反転する。最後にビット線 B L 1, B L 2 を 0 V に戻すと、キャパシタ C 1 1、C 2 1 はそれぞれ (H 0) (H 1) の状態に復帰する。即ちデータの再書き込み、リフレッシュが行われる。

#### 【0010】

このような強誘電体膜の分極は自発的な状態保持能力があるので、強誘電体膜を挟んだ対向電極が等電位に保たれている限り、電力供給なしでもデータを保存しつづける。

また上記分極反転は 3 V 以下の印加電圧で、数ナノ秒という短時間で実行できる。従ってフラッシュメモリのように、データ書き込みに多大な時間と電流消費を要することもない。

#### 【0011】

このような半導体メモリは、例えば以下のような用途に期待される。

現在多くの携帯用電子機器、例えば携帯電話や P D A のメインメモリは D R A

Mで構成されている。それらの機器においては、電源を入れると即時に使用できるように、ユーザーデータやアプリケーションはD R A Mに展開されたまま保存されている。即ち機器の不使用时にもD R A M内のデータは保持されている。

しかしD R A Mは揮発性であって、自発的にデータを保持する能力は無い。従ってそのデータを維持するには、待機時にもメモリセルアレイに常時通電が必要であり、さらに高頻度にリフレッシュ動作を行う必要がある。このため機器を使用していなくても、待機時には数mWの電流を消費し、頻繁なバッテリー交換と余分な電池代が必要になる。

また、このようなバッテリーバックアップに限らず、近年環境に配慮して電気機器全般の待機時消費電力を削減する動きが広がっている。従ってそのような家電機器に搭載されたD R A Mの、データ保持のための待機時消費電流は、深刻な問題になりつつある。

#### 【 0 0 1 2 】

ここでD R A Mの代替に強誘電体メモリを使用すれば、D R A Mと同等のアクセス性能を維持しつつ、メモリの待機時消費電流をゼロにできる。または強誘電体メモリによる高速ストレージにD R A Mに展開したデータを高速転送して保存すれば、D R A Mのリフレッシュを止め、やはり待機時消費電流をゼロにすることができる。

なお、ここでは強誘電体膜を用いたメモリ（F e R A M）について原理説明を行ったが、強誘電体メモリと同様に、高速低電圧での書き込みと自発的なデータ保持能力を有するメモリとして、磁性トンネル膜を用い、磁性膜の磁化方向でデータを記憶するM R A Mや、カルコゲナイド膜の結晶状態でデータを記憶するO U Mなども提案されている。

#### 【 0 0 1 3 】

##### 【発明が解決しようとする課題】

上述のように高速低電圧でデータを書き込み、かつデータを自発的に保存するメモリ、例えば強誘電体膜を用いたF e R A M、磁性トンネル膜を用いたM R A M、カルコゲナイド膜を用いたO U Mなどのメモリを、以下「高速不揮発性メモリ」と呼ぶ。

## 【 0 0 1 4 】

このような「高速不揮発性メモリ」は、理想的にはデータを長期間自発的に保存することが出来る。しかし高速かつ低電圧で書き込めるということは、その半面で、異なるデータ間のエネルギーバリアが低いということである。従ってそのデータを保持するのは、フラッシュメモリのそれのように容易ではなく、例えば製造工程において生じた僅かな膜中の欠陥によって、保持期間が理想よりはるかに短くなってしまう。一般に不揮発性メモリのデータ保持は 8 0 ℃ 1 0 年が保証されるが、仮にそれが 1 日になってしまうと、メモリのデータに欠落が発生し、使い物にならない。

## 【 0 0 1 5 】

このような事情から、高速不揮発性メモリの信頼性確保は極めて困難になっており、一般にデータ保持中の劣化に備えて必要以上に大きな動作マージンをその設計に加味している。例えば強誘電体メモリでは、キャパシタサイズを通常のセンシングに必要な量より 2 倍以上大きくする。このような状況は高集積化への進展を著しく阻害し、ビットコストの増加に直結している。

## 【 0 0 1 6 】

このような不揮発性メモリのデータ保持劣化への対策の一つとして、リフレッシュが考えられる。

例えば上記特許文献 2 の特開平 9 - 3 2 6 2 0 0 では、強誘電体膜の分極状態の残存を前提にしているので目的は異なるものの、時間が経過すると通常の読み出しではデータを取得できなくなる F E T 型強誘電体メモリ特有の課題への対策として、動作中の定期的リフレッシュが提案されている。さらに電源投入時には特殊な読み出し方法で分極状態から保存された全データを読み出し、書き戻すことでリフレッシュを行う立ち上げ機構が提案されている。

## 【 0 0 1 7 】

また、特許文献 3 の特開 2 0 0 0 - 1 1 6 6 5、特許文献 4 の特開平 1 1 - 1 6 2 1 8 2 には、外部コマンドによるリフレッシュ動作が提案されている。また、特許文献 5 の特開平 5 - 6 2 4 6 9 には内部アクセスカウンタによるイベント信号に基づいたリフレッシュ、及び C P U プロセッサからのイベント信号に基づ

いたりフレッシュが提案されている。

#### 【0 0 1 8】

しかしこれらの例で想定されているのは、いずれも機器動作中のリフレッシュであり、少なくとも機器がCPUによる完全な動作管理下にあることが前提である。従って機器不使用时における長期データ保持は想定されていない。電源投入時のリフレッシュにしても、ユーザーが機器に電源を入れる頻度は保証も強制も出来ない為、機器不使用时のデータ保持という観点からいえば、この手法は極めて不確実であり、これをもって長期のデータ保持を保証することはできない。

#### 【0 0 1 9】

さらに強誘電体メモリでは、同一のデータを長期保存していると、分極に伴う内部電界を相殺するように内部の可動電荷が最分布して固定し、ヒステリシスカーブにシフトや歪曲が生じる問題がある。これは「インプリント」と呼ばれ、程度が悪いと誤読み出し、または誤書き込みを発生させる。

上記可動電荷によるヒステリシスシフトはデータを反転させることで回復に向かうので、上記特許文献3の特開2 0 0 0 - 1 1 6 6 5に記されているリフレッシュ動作は、主としてこの対策を目的に、外部コマンドでデータ読み出し、反転書き込み、さらには正転書き込みを行うものである。当該文献に記載されているリフレッシュイベントは、通常書き込みから所定時間が経過した時点、機器の電源投入時、または機器の電源停止時である。

#### 【0 0 2 0】

しかしながらこの場合、機器の不使用时は不定期の長時間、データが放置されるため、インプリントの悪化の度合いを保証できない。即ちそれが誤読み出しを発生させるに至るまで、状態が悪化することを完全には防止できない。しかもその場合は、リフレッシュを行っても読み出した時点でデータが欠損するので、もはやデータは回復できない。

#### 【0 0 2 1】

さらに上記シーケンスでは、一度センスアンプに読み出したビット線データを反転させて書き込みを行い、さらにそれを反転させて再度書き込みを行う必要がある。この手順は非常に煩雑で、時間を要する。しかも大きな容量負荷を持つビ

ット線をアレイ全体で反転させる場合、ノイズの発生等により誤動作を誘発し易い。

無論データ保持の劣化については十分な対策になり得ない点では上記各例と同様である。

#### 【 0 0 2 2 】

##### 【課題を解決するための手段】

これらの問題点に鑑みて本発明では、高速不揮発性メモリでの確実な長期間のデータ保持を実現すると共に、その最適な制御方式を提供することを目的とする。

#### 【 0 0 2 3 】

このため本発明の情報処理装置は、不揮発性メモリセルを含む半導体メモリ手段と、装置の主電源がオフとされた不使用期間において、上記半導体メモリ手段のリフレッシュ動作のための電源供給をオン／オフするスイッチ手段と、上記不使用期間も常時電源が供給されており、上記不使用期間において、上記スイッチ手段をオンに制御するとともに、上記不揮発性メモリセルのリフレッシュ動作を実行させるリフレッシュ制御手段とを備える。

ここで、上記リフレッシュ制御手段は、定期的に、上記スイッチ手段をオンに制御し、上記不揮発性メモリセルのアドレスを指定して、当該指定したアドレスに対応した上記不揮発性メモリセルのリフレッシュ動作を実行させ、上記スイッチ手段をオフに制御する処理を実行する。

また、上記スイッチ手段、及び上記リフレッシュ制御手段は、上記半導体メモリ手段を含むメモリチップ内に内蔵されるようにもする。

#### 【 0 0 2 4 】

本発明の半導体メモリは、不揮発性メモリセルと、電源端子に対する電源投入に応じて、アドレス端子に入力されたアドレスに対応するメモリセルのリフレッシュ動作の実行信号を発生する信号発生部とを備える。

#### 【 0 0 2 5 】

本発明の半導体メモリは、不揮発性メモリセルと、上記不揮発性メモリセルのリフレッシュ動作のための電源供給をオン／オフするスイッチ手段と、上記スイ

ツチ手段のオフ期間も電源供給され、上記オフ期間において、上記スイッチ手段をオンに制御するとともに、上記不揮発性メモリセルのリフレッシュ動作を実行させるリフレッシュ制御手段とを備える。

また上記リフレッシュ制御手段は、定期的に、上記スイッチ手段をオンに制御し、上記不揮発性メモリセルのアドレスを指定して、当該指定したアドレスに対応した上記不揮発性メモリセルのリフレッシュ動作を実行させ、上記スイッチ手段をオフに制御する処理を実行する。

また主電源が供給される第1の電源端子と、バックアップ電源が常時供給される第2の電源端子と、上記第1の電源端子からの電源供給状態を監視すると共に、上記第1の電源端子からの電源電圧が所定以下となることに応じて上記リフレッシュ制御手段に実行制御信号を与える電源感知手段とをさらに備える。そして上記スイッチ手段は、上記第2の電源端子からの、上記不揮発性メモリセルのリフレッシュ動作のための電源供給をオン／オフする構成とされ、上記リフレッシュ制御手段は、上記電源感知手段から供給された上記実行制御信号に応じて上記スイッチ手段をオンに制御するとともに、上記不揮発性メモリセルのリフレッシュ動作を実行させる。

#### 【0026】

また、本発明の半導体メモリにおいて、上記不揮発性メモリセルは、記憶材料に強誘電体膜を用い、上記強誘電体膜の分極方向の違いによって2値以上を記憶する強誘電体キャパシタによる構造とされるとともに、少なくとも上記リフレッシュ動作時には、リフレッシュを行うメモリセル群からのデータの読出動作の後、上記メモリセル群全体に「1」のデータを書き込み、その後に各メモリセル群に記憶されていたデータの復元を行う。

#### 【0027】

また本発明の情報処理装置或いは半導体メモリにおいて、上記メモリセルは、記憶材料に強誘電体膜を用い、上記強誘電体膜の分極方向の違いによって2値以上を記憶する構造、又は、記憶材料に磁性体膜を用い、上記磁性体膜の磁化方向の違いによって2値以上を記憶する構造、又は、記憶材料にカルコゲナイド膜を用い、上記カルコゲナイド膜の結晶状態の違いによって2値以上を記憶する構造

とする。

#### 【0028】

本発明は、以上のように情報処理装置、半導体メモリを構成するが、これは不揮発性メモリ（高速不揮発性メモリ）について長期データ保持を補償するため、機器不使用時（又はメモリ待機時）にリフレッシュ動作を行うことを基本としている。

これまでの不揮発性メモリでは、上述した特許文献のように、リフレッシュ（動作中のリフレッシュ）を導入する場合も含めて、機器の不使用時（又はメモリ待機時）にはメモリへの電源投入を行わないことが前提となっている。即ち機器の不使用時（又はメモリ待機時）についてみれば、メモリは記憶素材の自発的な安定性のみで、長期データ保持を保証することが前提とされていた。例えば上記特許文献2の特開平9-326200においても、強誘電体膜の分極状態が保持されていることがその前提となっており、その手法は分極状態そのものの消失に対しては無効である。

#### 【0029】

それに対して本発明では、高速不揮発性メモリに対して、リフレッシュをより積極的に導入する手法を提案する。上述の如く、記憶素材の自発的な安定性のみで長期データ保持を保証すれば、確かに機器不使用時のメモリの消費電力はゼロにできる。しかし前述のDRAM代替等、実際の機器におけるメモリ用途を勘案した場合、メモリの待機時消費電力は機器全体の電力消費に対して十分小さければ良いのであって、必ずしもゼロである必要はない。

#### 【0030】

強誘電体メモリの如く自発的なデータ保持能力を持つメモリであれば、例えばDRAMのように待機時に定期的にリフレッシュを行うとしても、その頻度は数桁小さくできる。さらに不使用時のメモリへの電源供給を適時停止することも可能なので、それによって回路への通電のみで電流を消費する所謂「暗電流」の発生も防止することができる。

即ち膜の自発的なデータ保持能力と定期的リフレッシュ、さらには間歇的電源供給を組み合わせることで、待機時の消費電力を限りなく小さく抑えつつ、确实



にデータを保持することが可能になる。

#### 【0031】

また、半導体メモリにおいて、第1の電源端子と第2の電源端子を設置し、第一の電源端子を情報処理装置の主電源に、第二の電源端子を情報処理装置のバックアップ電源に接続する。（バックアップ電源とは、例えば機器の時計用ICに接続されている二次電池であって、機器の主電源がオフされても、該バックアップ用電源からの電流供給は継続される）

この場合、メモリセルへのアクセスを含む、通常の機器使用時には、第1の電源端子（主電源）から電流が供給される。そして機器の不使用时にその主電源を落とすと、電源感知手段によっては第1の電源端子の供給電位の低下を感知し、リフレッシュ制御手段によるリフレッシュモードに入る。そしてリフレッシュモードでは、第2の電源端子から供給される電流を用いて、メモリチップ内部で定期的なリフレッシュを行う。このようなリフレッシュ動作においては、メモリはデータを保持するための最低限の電流を消費すればよく、特に強誘電体メモリ等自発的データ記憶能力を持つメモリであれば、上述の如くその値は極めて小さくできる。従って主電源と比較して容量のはるかに小さいバックアップ用電源でも、十分な長期間データを安全に保持することが可能である。

#### 【0032】

また、特にメモリセルが強誘電体メモリの場合においては、リフレッシュの際に、読み出し後まず反転データを書き込み、次に正転データを書き込む。または望ましくはシーケンスを単純化し、動作も安定化させるため、読み出し後まず“1”を書き込み、さらに選択的に“0”を書き込んでデータを回復させることが、インプリントによる誤動作の防止に有効となる。

また上記リフレッシュ制御手段を半導体メモリとしてのチップに内蔵させる場合は、そのクロックを発生させるRC遅延回路に、メモリセルと同一工程で作製された強誘電体キャパシタを搭載することが好適である。

#### 【0033】

##### 【発明の実施の形態】

以下、本発明の第1～第4の実施の形態について説明し、またその後、各実施

の形態のに好適なリフレッシュシーケンスを述べる。

#### 【0034】

##### ＜第1の実施の形態＞

図1に第1の実施の形態の要部の構成を示す。この図1はコンピュータ機器（情報処理装置）10内に搭載されたメモリチップ11を示しており、特に、コンピュータ機器10における、不使用時のメモリ制御構成を示している。

機器の不使用時とは、具体的にはユーザーインターフェースにおける電源スイッチがオフとされ、ユーザーが機器と交信しない状態であるが、機器自体には内部バッテリー、または外部電源とのアダプターを介して随時電源供給可能な状態を想定している。

#### 【0035】

この例では、メモリチップ11は、例えば図11で説明したような、強誘電体メモリとしてのメモリセルアレイ及びその駆動回路系（ワード線デコーダ／ドライバ、センスアンプ、プレート線デコーダ／ドライバ等）を備えたものとする。

このメモリチップ11は、電源端子48から動作電源が供給される。グランド端子49は接地される。

この場合、スイッチ14は、機器の不使用時においてオン状態となることによって動作電圧 $V_{cc}$ をメモリチップ11の電源端子48に供給する。つまりスイッチ14は、不使用時においてメモリチップ11の動作電源をオン／オフする部位としている。

なお、機器の動作時におけるメモリチップ11への電源供給系は図示していないが、スイッチ14を含む電源経路を通常の動作時の電源経路として兼用してもよい。

#### 【0036】

クロック発生回路12は、例えば水晶振動子を用いた市販の時計用クロック素子などとし、32KHzのクロック信号CKを発生させる。

制御回路13は、メモリチップ11の待機時のための制御回路であり、クロック発生回路12からのクロック信号CKを得てタイマーとして動作し、定期的にスイッチ14にパルス信号（電源投入パルス $S_p$ ）を送出するとともに、メモリ

チップ 11 にリフレッシュ用のアドレス信号 A d を供給する。

スイッチ 14 は、制御回路 13 からの電源投入パルス S p によってオンとされ、メモリチップ 11 に動作電圧 V c c を供給する。

### 【0037】

このコンピュータ機器 10 では、機器不使用時において、制御回路 13 から定期的に電源投入パルス S p が供給される（定期的に電源投入パルス S p の信号値が「L」から「H」になる）。これによって定期的に、スイッチ 14 を介してメモリチップ 11 に電源が投入される。

強誘電体メモリにより構成されるメモリチップ 11 は、電源が投入されると、パワーオンリフレッシュ信号発生回路 21 が機能し、パワーオンリフレッシュ端子 40 の状態を判定して、それが「L」であれば、アドレス端子 41 に入力された R O W アドレス信号 A d に対応するメモリセル行を選択し、センスアンプへの読み出しと再書き込み、所謂リフレッシュを実行する。

一定時間が経過すると、電源投入パルス S p は「H」から「L」に落ち、これに伴ってスイッチ 14 はオフとされて、メモリチップ 11 への電源供給が停止される。

### 【0038】

図 2 に制御回路 13 の回路例を示す。

クロック発生回路 12 から制御回路 13 の端子 32 に入力された 32 K H z のクロック信号 C K は、16 ビットカウンタ分周器 30 で分周され、その最上位ビットの値（M S B 信号）が出力される。

M S B 信号は D フリップフロップ 31 の D 入力端子と、AND ゲート A 1 に供給される。D フリップフロップ 31 は、クロック信号 C K に基づいて、D 入力をラッチし、出力 Q とする。D フリップフロップ 31 の Q 出力はインバータ I V 1 で反転されて AND ゲート A 1 に供給される。

これにより AND ゲート A 1 の論理積出力は、2 秒周期で発生する 30  $\mu$  秒のパルスとなって端子 34 に出力される。この端子 34 の出力パルスが、上記したようにスイッチ 14 を制御する電源投入パルス S p となる。

また、このパルス発生と同時にアドレスカウンタ 33 の値は 1 ずつインクリメ

ントされて端子 33 に出力される。この端子 33 の出力が、リフレッシュ用の ROW アドレス信号  $A_d$  として、メモリチップ 11 のアドレス端子 41 に供給される。

#### 【0039】

図 3 はメモリチップ 11 におけるパワーオンリフレッシュ信号発生回路 21 の回路例である。

上述したスイッチ 14 を介して動作電源が供給される電源端子 48 には RC 遅延回路 52 を介してボルテージディテクタ 53 が接続されている。

RC 遅延回路 52 は、抵抗  $R_1$ 、コンデンサ  $C_1$ 、ダイオード  $D_1$  から構成され、電源端子 48 への電源投入時、つまり電源線 51 の立ち上がりに対して RC 遅延を経て、ボルテージディテクタ 53 に電源電圧を入力する。

#### 【0040】

ボルテージディテクタ 53 への入力電圧が一定値に達すると、その出力の立ち上がりエッジがパルス変換回路 54 でワンショットパルスに変換されて AND ゲート  $A_3$  に出力される。パルス変換回路 54 は、抵抗  $R_2$ 、コンデンサ  $C_2$ 、インバータ  $I_V2$ 、AND ゲート  $A_2$  が図示するように接続されて形成されている。従って、抵抗  $R_2$ 、コンデンサ  $C_2$  の時定数回路による期間がインバータ  $I_V2$  により「H」信号となり、これが AND ゲート  $A_2$  でボルテージディテクタ 53 の出力との論理積がとられるため、AND ゲート  $A_2$  の出力は立ち上がりエッジに対応するワンショットパルスとなり、AND ゲート  $A_3$  に供給される。

#### 【0041】

AND ゲート  $A_3$  の他方の入力にはパワーオンリフレッシュ端子 40、抵抗  $R_3$ 、インバータ  $I_V3$  による回路からの信号が供給される。つまり、パワーオンリフレッシュ端子 40 が「L」レベルの場合に、AND ゲート  $A_3$  には「H」レベルの信号が入力される。

AND ゲート  $A_3$  の論理積出力は、メモリチップ 11 におけるリフレッシュ開始のイベントパルス  $E_P$  となる。

即ち、パワーオンリフレッシュ端子 40 が「L」の時の場合のみにおいて、電源端子 48 に電源投入があったときに、当該パワーオンリフレッシュ信号発生回

路 21 からリフレッシュ開始のイベントパルス EP が出力されることとなる。

メモリチップ 11 内では、このようにイベントパルス EP が発生されることに  
応じて、アドレス端子 41 に入力された ROW アドレス信号 Ad で示されるメモ  
リ行に対しリフレッシュ動作を実行するものである。

#### 【0042】

メモリチップ 11 内の強誘電体メモリとしてのメモリセルに対するリフレッ  
シュ動作は、例えば図 11 において前述した読み出し動作と略同一である。

即ち、図 11 のキャパシタ C11, C21 を例に挙げて述べると次のようにな  
る。

初期状態ではプレート線 PL1 及びビット線対 BL1, BL2 が 0V にイコラ  
イズされており、かつビット線 BL1, BL2 は浮遊状態となっており、対とな  
ったキャパシタ C11, C21 は互いに反対方向に分極している。

ここでプレート線 PL1 に電圧  $V_{cc}$  のパルスを印加することで、両キャパシ  
タ C11, C21 には略  $V_{cc}$  が印加する。これに伴って初期状態からの分極変  
異量の差に対応する信号差がビット線 BL1 と BL2 の間に生じる。

例えばキャパシタ C11, C21 のうち、キャパシタ C21 のみが分極反転し  
、その反転に相応した信号差がビット線 BL1, BL2 間に顕れる。それを差動  
センスアンプ 3-1 でセンスすることによってデータを得る。

さらにセンスアンプ 3-1 を活性化し、ビット線 BL1 を 0V に、ビット線 B  
L2 を電圧  $V_{cc}$  に増幅する。

次にプレート線 PL1 を再度 0V に駆動することで、キャパシタ C11, C2  
1 への印加電圧はそれぞれ 0 及び ( $-V_{cc}$ ) に変わる。

最後にビット線 BL1, BL2 を 0V に戻すと、キャパシタ C11, C21 は  
それぞれ元の分極状態に復帰する。即ちリフレッシュが行われる。

このようなりフレッシュ動作が、アドレス端子 41 に入力された ROW アドレ  
ス信号 Ad で示されるメモリ行に対して実行される。

#### 【0043】

但し、このようなりフレッシュ動作においては、通常のデータ読出時と異なり  
センスアンプ 3 のデータをメモリチップ 11 の出力端子に転送する必要が無いの

で、その分回路動作を省略でき、通常の読み出し動作より消費電力は小さいものとなる。

#### 【0 0 4 4】

以上のような第 1 の実施の形態においては、メモリチップ 1 1 はスイッチ 1 4 を介した電源投入に連動したイベントパルス E P で、1 R O W アドレス分のみのリフレッシュが行なわれる。

これは電流消費を平均化させることでピーク電流を抑え、特にバッテリーバックアップの機器において安定動作を得る上で有効な手段である。

さらに短期間にワンサイクルの動作が終了するので、リフレッシュ中に何らかのアクシデントで外部電源が停止しても、コンデンサで内部電源が維持されているうちにサイクルを完了し、不測のデータ破壊を防止できる。従って機器の不使用时に定期的リフレッシュを実施する本発明においては最も適した仕様と言える。

#### 【0 0 4 5】

そしてこのように、自発的データ保存能力のある高速不揮発性メモリとしてのメモリセルに対して、不使用時のリフレッシュが行われることは、確実なデータ保持を実現することになる。

また、D R A M のように待機時に定期的リフレッシュを行うといっても、そのリフレッシュ頻度は数桁小さくできる。

また、上記のようにメモリチップ 1 1 への通電はリフレッシュ動作を実行する際のみであり、リフレッシュ動作直後には再びスイッチ 1 4 がオフとされる。従って、不使用時のリフレッシュ処理に伴う消費電力を極力低減することができる。さらにリフレッシュ動作時以外はメモリチップ 1 1 への電源供給が停止されることは、回路への通電のみで電流を消費する所謂「暗電流」の発生も防止することになる。

以上のことから、待機時の消費電力を限りなく小さく抑えつつ、確実にメモリセルのデータを保持することが可能になり、これによって、極小の消費電力で確実にデータを保持でき、かつ高速アクセスが可能なメモリシステムを実現できる。また通常の高速不揮発性メモリのように、セル信号に大きなデータ保持劣化用

マージンを持たせる必要もなくなるため、メモリセルを小型化でき、ビットコストの低減も可能である。

#### 【0 0 4 6】

なお、上記例の構成において、メモリチップ 1 1 の内部にアドレスカウンタを設け、電源投入に伴って一気に全 R O W アドレスをスキャンし、チップ全体のリフレッシュを行うようにしても良い。この場合には、メモリチップ 1 1 の外部の制御回路 1 3 からリフレッシュ用のアドレス信号 A d を入力する必要が無いという利点がある。

#### 【0 0 4 7】

##### < 第 2 の実施の形態 >

ところで上記第 1 の実施の形態における図 2 に示した制御回路 1 3 を、メモリチップ 1 1 内に内蔵すれば、機器としてのメモリの扱いは非常に容易になる。その場合の構成を、第 2 の実施の形態として図 4 に示す。

#### 【0 0 4 8】

コンピュータ機器 1 0 は、不使用時にクロック発生回路 1 2 からメモリチップ 1 1 b のクロック入力端子 4 3 にクロック信号 C K を送るだけ良い。

メモリチップ 1 1 b は、電源端子 4 8 に動作電源 V c c が供給される。この動作電源 V c c からのリフレッシュ動作のための電源オン／オフ制御は内部の制御回路 1 3 b によって行われる。

即ち制御回路 1 3 b によって、オートリフレッシュ端子 4 2 が「L」であれば、供給されたクロック信号 C K から適時内部でイベントが発生され、自動的にリフレッシュが実行される。即ちその扱いは D R A M のオートリフレッシュと同様であり、機器設計者には使い慣れたものとなる。その上で、その消費電力は D R A M の場合より遥かに小さいものとなる。

#### 【0 0 4 9】

図 5 に、メモリチップ 1 1 b の待機時における回路接続例を示す。

メモリチップ 1 1 b 内の制御回路 1 3 b には、待機時は、電源端子 4 8 から、常時通電されている。制御回路 1 3 b の構成は上記図 2 と同様である。

この制御回路 1 3 b は、クロック入力端子 4 3 からの外部クロック信号 C K を

受けて、図 2 で説明したように、電源投入パルス  $S_p$  を出力し、またリフレッシュ用のアドレス信号  $A_d$  を出力する。

#### 【0 0 5 0】

またメモリチップ 1 1 b 内には、インバータ  $I V 1 1$ 、及び F E T (P チャンネル MOS トランジスタ) によるスイッチ  $Q 1$  が設けられる。スイッチ  $Q 1$  は、メモリチップ 1 1 b の待機時において、電源端子 4 8 からの動作電源をメモリコア 1 5 に供給する電源経路に形成される。

そして、制御回路 1 3 b からの電源投入パルス  $S_p$  は、インバータ  $I V 1 1$  によって反転されてスイッチ  $Q 1$  のゲートに入力されるため、スイッチ  $Q 1$  は、電源投入パルス  $S_p$  に応じてオンとされ、メモリコア 1 5 に動作電源供給を行う。

#### 【0 0 5 1】

強誘電体メモリによるメモリセルアレイを備えたメモリコア 1 5 は、その内部に図 3 で説明したパワーオンリフレッシュ信号発生回路 2 1 を備える。

従って、スイッチ  $Q 1$  がオンとされてメモリコア 1 5 に電源が投入されると、パワーオンリフレッシュ信号発生回路 2 1 によりリフレッシュ開始のイベントパルス  $E P$  が発生され、これに応じて、制御回路 1 3 b からの R O W アドレス信号  $A_d$  に対応したリフレッシュ動作が実行されることになる。

#### 【0 0 5 2】

このような第 2 の実施の形態でも、上記第 1 の実施の形態と同様の効果が得られ、さらに、メモリチップ 1 1 b のリフレッシュの扱いを D R A M のオートリフレッシュと同様とできるため使いやすいものとなる。

#### 【0 0 5 3】

< 第 3 の実施の形態 >

第 3 の実施の形態は、第 2 の実施の形態において図 4 に示したクロック発生回路 1 2 も、メモリチップ内に内蔵させるものである。

この場合、クロック発生回路として、リングオシレータと分周器を用いてメモリチップに内蔵させる。

#### 【0 0 5 4】

図 6 に第 3 の実施の形態のメモリチップ 1 1 c の待機時における回路接続例を



示す。

メモリチップ 11b には電源端子 48 に動作電源  $V_{cc}$  が供給されている。

メモリチップ 11b 内に設けられるタイマー回路 18 は、上記第 1 の実施の形態（図 1～図 3）におけるクロック発生回路 12 と制御回路 13 の機能を兼ね備えたものであり、待機時は電源端子 48 から常時通電される。またタイマ回路 18 はグランド端子 49 により常時グランドに接続されている。従ってタイマ回路 18 は待機時において動作可能である。

そしてタイマー回路 18 は、待機時において定期的にメモリコア 15c の電源をオン／オフ制御する電源投入パルス  $S_p$  を出力する。また内部カウンタからのアドレス信号  $A_d$  をに出力する。さらにタイマー回路 18 は、メモリコア 15c のリフレッシュ開始タイミング信号  $RfS$  も適時供給する形態となっている。

#### 【0055】

またメモリチップ 11b 内には、インバータ  $IV11$ 、及び FET（Pチャネル MOS トランジスタ）によるスイッチ  $Q1$  が設けられる。スイッチ  $Q1$  は、メモリチップ 11b の待機時において、電源端子 48 からの動作電源をメモリコア 15c に供給する電源経路に形成される。

そして、タイマ回路 18 からの電源投入パルス  $S_p$  は、インバータ  $IV11$  によって反転されてスイッチ  $Q1$  のゲートに入力されるため、スイッチ  $Q1$  は、電源投入パルス  $S_p$  に応じてオンとされ、メモリコア 15c に動作電源供給を行う。

#### 【0056】

強誘電体メモリによるメモリセルアレイを備えたメモリコア 15c は、スイッチ  $Q1$  がオンとされてメモリコア 15 に電源が投入された後、タイマ回路 18 からのリフレッシュ開始タイミング信号  $RfS$  が入力されると、タイマ回路 18 からの ROW アドレス信号  $A_d$  に対応したリフレッシュ動作を実行する。

リフレッシュ動作後には、タイマ回路 18 からの電源投入パルス  $S_p$  が立ち下げられ、スイッチ  $Q1$  がオフとされることで、メモリコア 15c への動作電源供給が遮断される。

#### 【0057】

またメモリチップ 11b 内には、Nチャンネル MOS トランジスタによるスイッチ Q2 が設けられる。スイッチ Q1 は、メモリコア 15c とグランド GND の接続をオン／オフするスイッチとされる。このスイッチ Q2 のゲートには、タイマ回路 18 からの電源投入パルス S<sub>p</sub> が入力されるため、スイッチ Q2 は、電源投入パルス S<sub>p</sub> に応じてオンとされ、メモリコア 15c のグランドラインを接続する。

つまり、リフレッシュ動作のためにスイッチ Q1 がオンとされ、メモリコア 15c への動作電源供給が行われる期間のみ、スイッチ Q2 によってメモリコア 15c はグランドラインに接続される。

#### 【0058】

図 7 にタイマ回路 18 の構成例を示す。

クロック回路 61 はリングオシレータを用いて構成される。クロック回路 61 の出力は、16 ビットカウンタによる分周器 62 で分周される。

分周器 62 の最上位ビットの出力 b16 の立ち上がりは電源投入のタイミングを生成し、ROW アドレスカウンタ 63 をインクリメントすると共に、電源投入パルス S<sub>p</sub> の立ち上げに使用される。

また分周器 62 の第 2 ビットの出力 b2 は D フリップフロップ 65 のクロックとして入力され、D 入力が「H」であることを受けて、リフレッシュ開始タイミング信号 RfS を生成する。

その後、分周器 62 の第 4 ビットの出力 b4 が D フリップフロップ 64 のクロックとして入力され、電源投入パルス S<sub>p</sub> の立ち下げに使用される。

#### 【0059】

即ち出力 b16 によって ROW アドレスカウンタ 63 がインクリメントされた出力は、ROW アドレス信号 A<sub>d</sub> としてメモリコア 15c に供給される。

電源投入パルス S<sub>p</sub> は、出力 b16 が「H」とされる時点で AND ゲート A4 の論理積が「H」となって発生される。出力 b16 は D フリップフロップ 64 の D 入力ともされるが、出力 b16 が「H」となった後、出力 b4 が「H」となるタイミングで出力 b16 の「H」レベルがラッチされる。この D フリップフロップ 64 のラッチ出力はインバータ IV4 で反転されて AND ゲート A4 に入力さ

れるため、その時点でANDゲートA 4 の出力は「L」になり、つまり電源投入パルスS<sub>p</sub>が立ち下げられる。

#### 【0 0 6 0】

リフレッシュ開始タイミング信号R<sub>f</sub>Sについては、まずDフリップフロップ6 5で出力b 1 6の「H」状態が出力b 2のタイミングでラッチされる。そしてそのラッチ出力が、その出力の立ち上がりエッジがパルス変換回路6 6でワンショットパルスに変換されてリフレッシュ開始タイミング信号R<sub>f</sub>Sとして出力される。

パルス変換回路6 6は、抵抗R 4，コンデンサC 3、インバータI V 5、ANDゲートA 5が図示するように接続されて形成されている。従って、抵抗R 4，コンデンサC 3の時定数回路による期間がインバータI V 5により「H」信号となり、これがANDゲートA 5で、Dフリップフロップ6 5のラッチ出力との論理積をとられるため、ANDゲートA 5の出力は、Dフリップフロップ6 5のラッチ出力の立ち上がりエッジに対応するワンショットパルス、即ちリフレッシュ開始タイミング信号R<sub>f</sub>Sとなる。

#### 【0 0 6 1】

第3の実施の形態では以上のように構成される。

上記第1、第2の実施の形態では、制御回路1 3又は1 3 bによってメモリチップ1 1又はメモリコア1 5にまず電源が投入され、その電源投入に連動してリフレッシュのイベント信号E Pがメモリチップ内部のパワーオンリフレッシュ信号発生回路2 1で発生されるようにしていた。これに対して本第3の実施の形態では、タイマー回路1 8から直接リフレッシュ開始タイミング信号R<sub>f</sub>Sとして、リフレッシュイベント開始の信号を発生する形態となっている。

#### 【0 0 6 2】

このような実施の形態の場合でも、上記第1の実施の形態と同様な効果が得られる。そしてさらにこの場合、単にメモリチップ1 1 cに通電しておくだけで、ごく僅かな消費電力で確実にデータを保持でき、外部からクロックを送出する必要もない。さらに機器のプリント基板等にクロック配線を行う必要が無いので、その充放電に伴う消費電流も削減できる。

## 【0063】

また本例では、PチャンネルMOSトランジスタによるスイッチQ1によって電源Vccを適時遮断するだけでなく、NチャンネルMOSトランジスタによるスイッチQ2によって、グランドも同時に遮断している。

このようにすることで、メモリコア15c内部の電荷が一部保存され、次の電源投入時に再利用されることになる。従って電源のみを遮断する第1、第2の実施の形態の構成よりも、さらに消費電流を低減できる。

## 【0064】

第1の実施の形態の如く、図3のようなパワーオンリフレッシュ信号発生回路21で電源投入に連動したイベントパルスEPを発生する場合、グランド遮断は誤動作の原因になり得る。

ところが本例では、イベントパルスEPに相当するリフレッシュ開始タイミング信号RfSをタイマー回路18cから供給するようにしているため、メモリコア15cのグランドは問題なく遮断できる。

つまりタイマー回路18cは、まず電源投入パルスSpを発生し、メモリコア15cに電源とグランドを投入する。所定時間が経過した後、今度はメモリコア15cにリフレッシュ開始を指示するリフレッシュ開始タイミング信号RfSを送出する。さらにリフレッシュ動作のための十分な時間が経過すると、電源投入パルスSpを「L」状態に戻し、メモリコア15cへの電源とグランドの供給を停止する。

即ち電源投入パルスSpとともに、別途リフレッシュ開始パルス（リフレッシュ開始タイミング信号RfS）を発生する機能を持つ制御部としてのタイマ回路18をメモリチップ11cに内蔵し、そちらには待機時に常時通電しておくことで、メモリコア15cのグランド遮断が可能になり、メモリコア15cの消費電流をさらに低減することが可能になる。

## 【0065】

ところで強誘電体メモリ等の高速不揮発性メモリは、自発的なデータ保持能力があるので、消費電力低減のためには、そのリフレッシュ周期は十分長くしたい。一方、この第3の実施の形態のようにクロック発生回路61をメモリチップ1

1cに内蔵させる場合、分周器の規模を小さく留めつつ長いリフレッシュ周期を生成するには、クロック発生源であるリングオシレータの発振周期を長くする必要がある。

#### 【0066】

小さな回路規模でリングオシレータの周期を長くするには大きなRC遅延が必要となるが、図11のような強誘電体メモリの場合、メモリセルMCに使用した強誘電体キャパシタをその遅延回路に搭載すれば、大きな遅延を容易に獲得できる。

図8にその回路例を示す。

このクロック回路61は、キャパシタC61、抵抗R5、PチャンネルMOSトランジスタQ11、Q12、Q13、NチャンネルMOSトランジスタQ21、Q22、Q23、インバータIV6、IV7を図のように接続して構成されている。

この場合、キャパシタC61は強誘電体キャパシタであり、メモリコア15cにおけるメモリセルMCのキャパシタと同一工程で製造される。その電圧印加範囲は0VからVcc間に限られるので、このキャパシタC61の動作は分極反転を伴わない。従ってその容量は安定しており、小さなキャパシタサイズで通常のMOSキャパシタより1桁以上大きな値が得られる。疲労による特性劣化も無いという利点もある。

#### 【0067】

##### <第4の実施の形態>

第4の実施の形態としてのメモリチップ11dの構成を図9に示す。

この場合、メモリチップ11dには、第1の電源端子48a、第2の電源端子48bが設けられている。

電源端子48aは、当該メモリチップ11を搭載するコンピュータ機器の主電源V1に接続されており、機器の不使用时には電源供給が停止される。一方、電源端子48bは機器のバックアップ用バッテリーによる電源V2に接続されており、こちらの電源V2は機器の使用の有無に関わらず常時供給されている。

#### 【0068】

メモリコア 1 5 c は、例えば上記第 3 の実施の形態の場合と同様にメモリセルアレイを有する。

メモリコア 1 5 c に対しては、メモリアクセスを伴う通常の機器使用時にはその駆動電流は電源端子 4 8 a からスイッチ Q 1 a を介して供給される。またその際には、メモリコア 1 5 c はスイッチ Q 2 a を介してグランド GND に接続される。

機器不使用時、即ち主電源 V 1 の供給が停止される期間は、メモリコア 1 5 c に対してリフレッシュ動作のための電源供給が、電源端子 4 8 b からスイッチ Q 1 b を介して供給される。またその際には、メモリコア 1 5 c はスイッチ Q 2 b を介してグランド GND に接続される。

スイッチ Q 1 a、Q 1 b は P チャンネル MOS トランジスタ、スイッチ Q 2 a、Q 2 b は N チャンネル MOS トランジスタとされる。

#### 【 0 0 6 9 】

タイマー回路 1 8 は電源端子 4 8 b からのバックアップ電源 V 2 により動作電源を得ている。またタイマ回路 1 8 はグランド端子 4 9 により常時グランドに接続されている。従ってタイマ回路 1 8 は、主電源 V 1 の供給が停止される期間も動作可能である。

このタイマ回路 1 8 は、機器不使用時において、定期的にメモリコア 1 5 c の電源をオン／オフ制御する電源投入パルス S p を出力する。電源投入パルス S p はインバータ I V 1 1 を介してスイッチ Q 1 b のゲートに供給される。また電源投入パルス S p はスイッチ Q 2 b のゲートにも供給される。

またタイマ回路 1 8 は、内部カウンタからのアドレス信号 A d をメモリコア 1 5 c に出力する。さらにメモリコア 1 5 c の電源をオンとした後、リフレッシュを開始するためのパルスとしてリフレッシュ開始タイミング信号 R f S を出力する。

即ちこの場合のタイマ回路 1 8 は、上記第 3 の実施の形態のタイマ回路 1 8 と同一の機能を有する。

#### 【 0 0 7 0 】

電圧感知回路 1 9 は、主電源 V 1 の供給状態を監視する。

電圧感知回路 19 は電源端子 48 b からのバックアップ電源 V2 により動作電源を得ている。また電圧感知回路 19 はグランド端子 49 により常時グランドに接続されている。従って電圧感知回路 19 は、主電源 V1 の供給が停止される期間も動作可能である。

#### 【0071】

この電圧感知回路 19 は、電源端子 48 a から供給される主電源 V1 の電圧感知を行っており、その電圧に応じた制御信号 SV を出力する。

例えば機器の主電源がオンとされている期間、つまり電源端子 48 a の電源電圧が一定値以上の期間には、制御信号 SV を「H」レベルとしている。この場合、制御信号 SV はインバータ IV12 を介してスイッチ Q1 a のゲートに供給されるため、スイッチ Q1 a はオンとなり、メモリア 15 c に対して主電源 V1 の供給が行われる。また、制御信号 SV が「H」であることによってスイッチ Q2 a もオンとなるため、メモリア 15 c はグランド接続された状態となる。

一方、機器の主電源がオフとされ、電源端子 48 a の電源電圧が一定以下に低下すると、電圧感知回路 19 は制御信号 SV を「H」から「L」に変える。これに伴ってスイッチ Q1 a、Q2 a がオフし、電源端子 48 a からメモリア 15 c への電流供給が停止される。

また、制御信号 SV はタイマ回路 18 にも供給されている。タイマ回路 18 は、制御信号 SV が「H」から「L」に立ち下がることを検知して動作を開始するように構成されている。

#### 【0072】

つまりタイマ回路 18 は、主電源 V1 がオフとされた際に制御信号 SV に基づいて動作が開始されると、上記のように電源投入パルス Sp によりスイッチ Q1 b、Q2 b をオンとさせ、バックアップ用電源 V2 が供給される電源端子 48 b をメモリア 15 c に接続する。つまり、メモリア 15 c への電源供給及びグランド接続を行う。

所定時間が経過した後、タイマ回路 18 は、今度はメモリア 15 c にリフレッシュ開始タイミング信号 RfS、及びアドレス信号 Ad を送出する。メモリア 15 c は、アドレス信号 Ad で指定されたメモリセル群を選択し、そのリフ

レッシュを実行する。

さらにリフレッシュ動作のための十分な時間が経過すると、タイマ回路 18 は電源投入パルス  $S_p$  を「L」状態に戻し、メモリコア 15 c への電源とグランドの供給を停止する。

このようにしてタイマ回路 18 は定期的にはアドレス  $A_d$  をインクリメントしながらメモリコア 15 c に電源を供給し、リフレッシュイベントを送る。これによってメモリコア 15 c に保管されたデータは、安全に保持され続ける。

#### 【0073】

再び機器の主電源がオンとされて、主電源  $V_1$  が供給される電源端子 48 a に電源が供給されると、電圧感知回路 19 は、その電位上昇を検知して制御信号  $S_V$  を「L」から「H」に変える。

これによりタイマ回路 18 は動作を停止する。またスイッチ  $Q_{1a}$ 、 $Q_{2a}$  がオンとされ、電源端子 48 a からメモリコア 15 c への電流供給が再開される。

#### 【0074】

この第 4 の実施の形態では、機器の主電源が落とされている間、リフレッシュ動作の電流は全てバックアップ用バッテリーの電源  $V_2$  が電源端子 48 b から供給されている。即ち主電源  $V_1$  の電源端子 48 a からの電源供給が止まり、その電位が低下すると、メモリチップ 11 d は自動的にバックアップ電源  $V_2$  からの電流供給を用いて定期的にはリフレッシュを実行し、メモリのデータを保持している。一方大きな電流が消費されるメモリアクセス時には、主電源  $V_1$  から電流が供給され、バックアップ電源は消費されない。

#### 【0075】

このようなメモリチップ 11 d をコンピュータ機器に搭載すれば、例えば機器設計者は、機器のタイマクロック用の二次電池をタイマクロックと共有する形で電源端子 48 b に接続し、機器の主電源を通常通り電源端子 48 a に接続すればよいのであって、それ以外は従来の機器設計に何も追加する必要が無い。

メモリコアに強誘電体メモリ等自発的データ保持能力のあるメモリ素子を用いれば、リフレッシュ等データ保持に要する電流は極めて小さくできるので、容量



の小さいバックアップ用二次電池だけで十分な長期間にわたってデータを安全に保持することが可能である。従ってコスト、設計工数ともに変える事無く、メモリの信頼性を大幅に向上させることが可能になる。

#### 【0076】

＜各実施の形態におけるメモリセル構造＞

以上、第1、第2、第3、第4の実施の形態では、メモリに強誘電体メモリを想定した。強誘電体メモリは通常のアクセスがリフレッシュ動作を伴うため、特に上述のような機能の実現は容易である。

#### 【0077】

しかしながら基本的に、低電圧で高速に読み出しと書き込みが出来るメモリであれば、リフレッシュに要する消費電力は非常に小さいので、低頻度でそれを行っても機器の電力消費を悪化させることは無い。しかもそのようなメモリは、自発的保持能力がありながらも状態間のエネルギーバリアが低く、長期データ保存が困難である点で、同じ課題を持っている。

従って他の高速不揮発性メモリ、例えば磁性体膜の磁化方向によってデータを記憶するMRAMや、カルコゲナイド膜の結晶状態でデータを記憶するOUMとしてのメモリセルアレイを有するメモリチップの場合でも、上記各実施の形態の構成を適用可能であり、かつその導入は有効である。

#### 【0078】

＜インプリントによる誤動作防止のためのシーケンス＞

ところで、リフレッシュ動作とともに、反転データを一旦メモリセルに書き込むことにより、強誘電体メモリのインプリント状態が回復することは、前述の特許文献3（特開2000-11665）に記載された通りである。

本発明においても、機器不使用時の際の定期的リフレッシュにデータの反転書き込みを導入することで、同様にインプリントが防止できる。

しかも本発明の定期的リフレッシュに上記手法を用いれば、インプリント状態は定期的に必ず回復するので、上記特許文献3のように不定期の長時間データが放置されることは無い。従って確実にインプリントによる誤動作を回避することが可能である。

## 【0079】

そしてここでは本発明の各実施の形態に適用できる手法として、単にインプリントによる誤動作を防止するだけでなく、より小さな電力消費でインプリントを回復させるための動作を説明する。それは以下の原理による。

## 【0080】

強誘電体メモリのデータ読み出しを行う工程は、前述の図12のヒステリシスカーブの(H2)に分極状態を移行させる操作であり、“0”書き込みと同等である。従ってその後で、読み出した全セルに“1”を書き込めば、各セルには“0”と“1”の双方が一回ずつ書き込まれたことになる。従ってメモリセルに保存されていたデータが何であっても、反転書き込みが一回は行われたことになるのである。

従って読み出し後にまず全選択セルに“1”を書き込み、その後“0”が保存されていたセルにのみ選択的に“0”を書き込めば、ビット線の余分な反転動作を伴うことなくインプリントを回復でき、かつリフレッシュを実行して元のデータを回復できる。つまり、インプリント回復のために、データ内容を判定してわざわざ反転させる必要はない。

## 【0081】

このためのリフレッシュシーケンスの例を図10で説明する。図10(a)はリフレッシュシーケンスをタイミングチャートで示し、図10(b)はその説明のためのメモリアレイの構成の一部を示している。

なお、メモリアレイの構成は、上記図11で説明したとおりであるが、さらに図10(b)のように、ビット線BLを接地するリセット回路70、センスアンプ3とビット線BLの接続をオン／オフする接続スイッチTCL及び制御線CLが設けられている。

図10(a)においてリフレッシュシーケンスを構成する各タイミングをR1～R6で示す。

## 【0082】

・タイミング(R1)

まずビット線BL及びセンスアンプ3のノードND1を0Vから浮遊状態にし

、次にワード線WLとプレート線PLをVccに立ち上げる。これにより各ノードND1、ND2にメモリセルCからの読み出し信号が顕れる。

・タイミング (R2)

制御線CLを「L」にして、ビット線BLとセンスノードND1を切り離す。

・タイミング (R3)

リセット回路70を用いてビット線BLを0Vにする。これによりプレート線PLと各ビット線間にVccが印加され、選択セルに”0”が書き込まれる。さらにセンスアンプ3を活性化する。

・タイミング (R4)

今度はプレート線PLを0Vにするとともに、リセット回路70によりビット線をVccにする。これによってプレート線PLと各ビット線間に(-Vcc)が印加され、選択セルに”1”が書き込まれる。

・タイミング (R5)

制御線CLを「H」にして、ビット線BLとセンスノードND1を接続し、センスノードND1のデータをビット線BLに乗せる。さらにプレート線PLを再度Vccにする。これによって”0”が記憶されていたビット線のキャパシタにのみVccが印加され、”0”がリストアされる。

・タイミング (R6)

プレート線PL、各ビット線BL、及びワード線WLを順次0Vに落として、リフレッシュ動作を終了する。

### 【0083】

このようなリフレッシュシーケンスでは、データ判定後に反転データを書き込むという必要がないので、シーケンスは簡略化される。リストア前の”1”書き込みは、読み出しデータに関わらず、別途リセット回路を用いて行うので、判定結果を待つ必要もなく、動作も安定である。

### 【0084】

なお、このシーケンス例では、読み出し後さらにタイミング(R3)にてビット線BLを0Vに落とし、意図的に”0”の書き込みを行ったが、タイミング(R1)の読み出しにおけるビット線BLの発生信号は通常十分に小さいので、こ

の時点ではほぼ” 0 ” 書き込みは行われている。従ってタイミング ( R 3 ) の工程は省略しても良い。

#### 【 0 0 8 5 】

以上のように、リフレッシュ時にこのようなシーケンスを加えることにより、強誘電体膜のインプリントを防止し、それに伴う誤読み出し、誤書き込みを防止することが可能になる。

尚、このリフレッシュシーケンスに関しては、定期的なリフレッシュの場合のみならず、電源投入時や外部コマンドによるリフレッシュの際に使用しても同様の効果を得ることが出来る。

#### 【 0 0 8 6 】

また、上述の選択セル全体への” 1 ” 書き込み動作は、通常の読み出し動作では時間的なオーバーヘッドとなる。従ってリフレッシュ時にのみこれを行い、通常アクセスでは行わないのが望ましい。

#### 【 0 0 8 7 】

##### 【発明の効果】

以上の説明から理解されるように、本発明の情報処理装置或いは半導体メモリにおいては、リフレッシュ制御手段によって、自発的データ保存能力のある高速不揮発性メモリセルに対して、その機器不使用時（又はメモリ待機時）には定期的なリフレッシュを施すようにしている。このように不揮発性メモリセルの自発的なデータ保持能力と、不使用時における定期的リフレッシュ、さらにはスイッチ手段のオン／オフによる間歇的電源供給を組み合わせることで、待機時の消費電力を限りなく小さく抑えつつ、確実にデータを保持することが可能になる。これによって、極小の消費電力で確実にデータを保持でき、かつ高速アクセスが可能なメモリシステムを実現できる。

また通常の高速不揮発性メモリのように、セル信号に大きなデータ保持劣化用マージンを持たせる必要もなくなるため、メモリセルを小型化でき、ビットコストの低減も可能である。

#### 【 0 0 8 8 】

また、本発明の情報処理装置或いは半導体メモリにおいてリフレッシュ制御手

段は、定期的に、スイッチ手段をオンに制御し、不揮発性メモリセルのアドレスを指定して、当該指定したアドレスに対応する不揮発性メモリセルのリフレッシュ動作を実行させ、スイッチ手段をオフに制御する処理を実行することで、上記間歇的電源供給が実現され、リフレッシュ処理に伴う消費電力を極力低減することができる。

#### 【0089】

また、不揮発性メモリセルが強誘電体キャパシタによる場合、リフレッシュ制御手段内の遅延回路におけるキャパシタの少なくとも一部に、上記メモリセルのキャパシタと同一工程で製造した強誘電体キャパシタを使用することが好適となる。即ち、不揮発性メモリセルに使用した強誘電体キャパシタを遅延回路に搭載すれば、大きな遅延を容易に獲得でき、また疲労による特性劣化も無い。

#### 【0090】

また、主電源が供給される第1の電源端子と、バックアップ電源が常時供給される第2の電源端子と、第1の電源端子からの電源供給状態を監視すると共に、第1の電源端子からの電源電圧が所定以下となることに応じてリフレッシュ制御手段に実行制御信号を与える電源感知手段とをさらに備える。そしてスイッチ手段は、第2の電源端子からの、不揮発性メモリセルのリフレッシュ動作のための電源供給をオン／オフする構成とされ、リフレッシュ制御手段は、電源感知手段からの実行制御信号に応じてスイッチ手段をオンに制御するとともに、不揮発性メモリセルのリフレッシュ動作を実行させる構成とすることで、コストアップもなく、機器設計においても殆ど変更を必要としないという利点を得られる。

#### 【0091】

また、不揮発性メモリセルが強誘電体キャパシタによる場合、リフレッシュ動作時には、リフレッシュを行うメモリセル群からのデータの読出動作の後、メモリセル群全体に「1」データを書き込み、その後に各メモリセル群に記憶されていたデータの復元を行うことで、インプリントによる誤動作防止に効果があるとともに、シーケンスが単純化され動作も安定する。

#### 【図面の簡単な説明】

#### 【図1】

本発明の第 1 の実施の形態のブロック図である。

【図 2】

第 1 の実施の形態の制御回路のブロック図である。

【図 3】

第 1 の実施の形態のパワーオンリフレッシュ信号発生回路の回路図である。

【図 4】

本発明の第 2 の実施の形態のブロック図である。

【図 5】

第 2 の実施の形態のメモリチップの構成のブロック図である。

【図 6】

本発明の第 3 の実施の形態のブロック図である。

【図 7】

第 3 の実施の形態のタイマ回路のブロック図である。

【図 8】

実施の形態のクロック回路の回路図である。

【図 9】

本発明の第 4 の実施の形態のブロック図である。

【図 1 0】

実施の形態のリフレッシュシーケンスの説明図である。

【図 1 1】

強誘電体メモリのセル構造の説明図である。

【図 1 2】

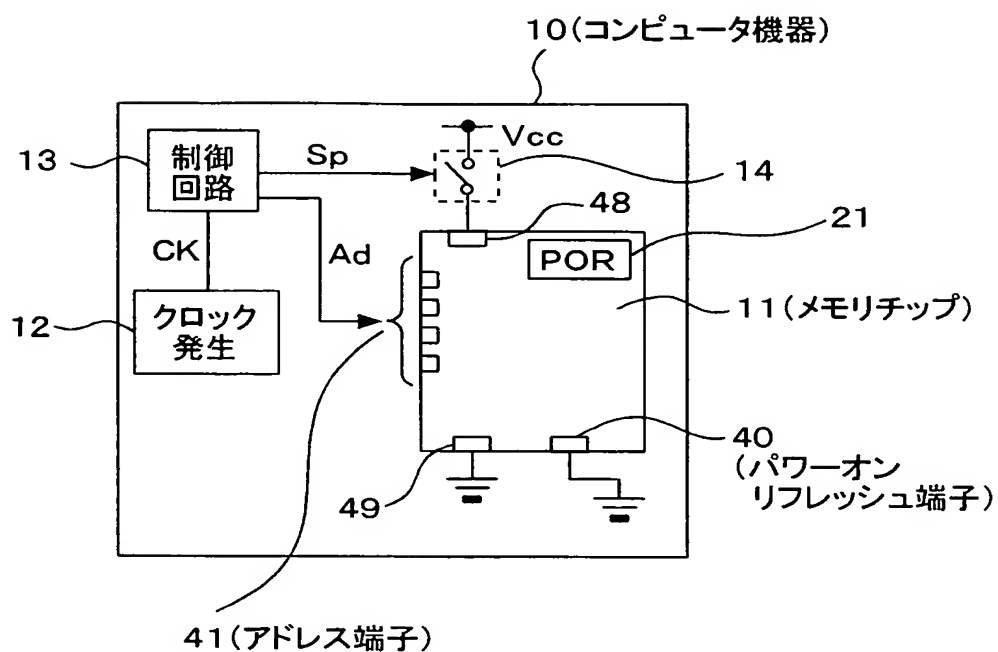
強誘電体メモリの分極動作の説明図である。

【符号の説明】

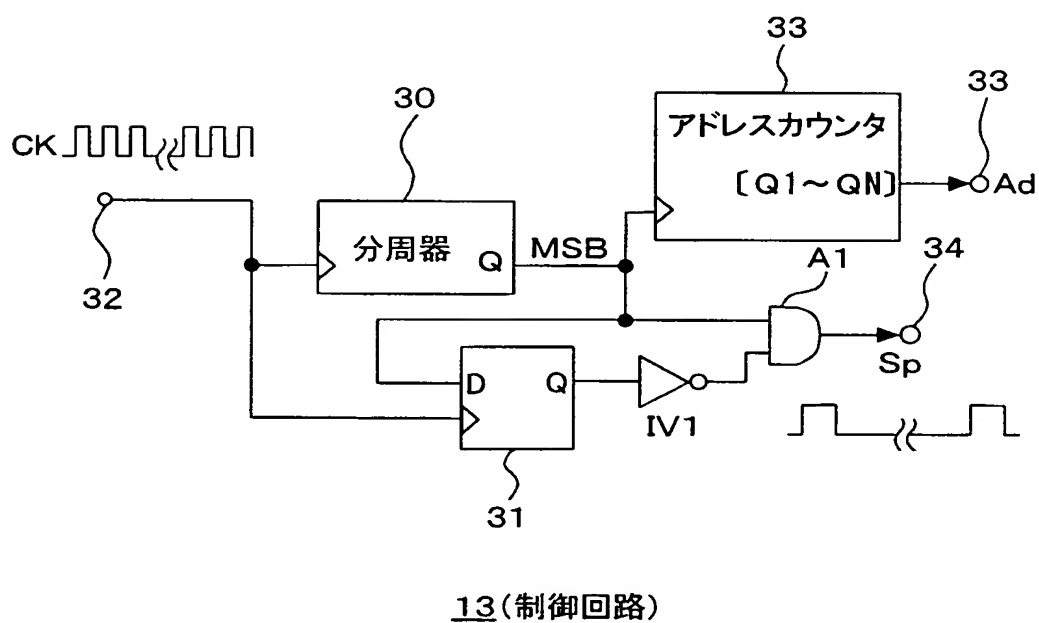
1 0 コンピュータ機器、1 1 メモリチップ、1 2 クロック発生回路、1 3、1 3 b 制御回路、1 4 スイッチ、1 5 メモリコア、1 8 タイマ回路、1 9 電圧感知回路、2 1 パワーオンリフレッシュ信号発生回路

【書類名】 図面

【図 1】

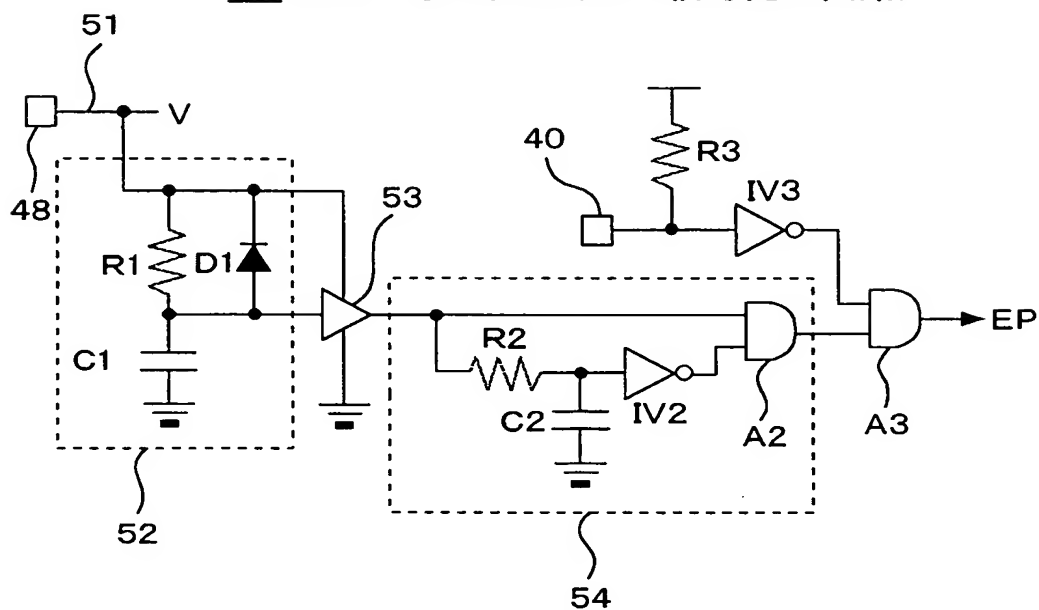


【図 2】

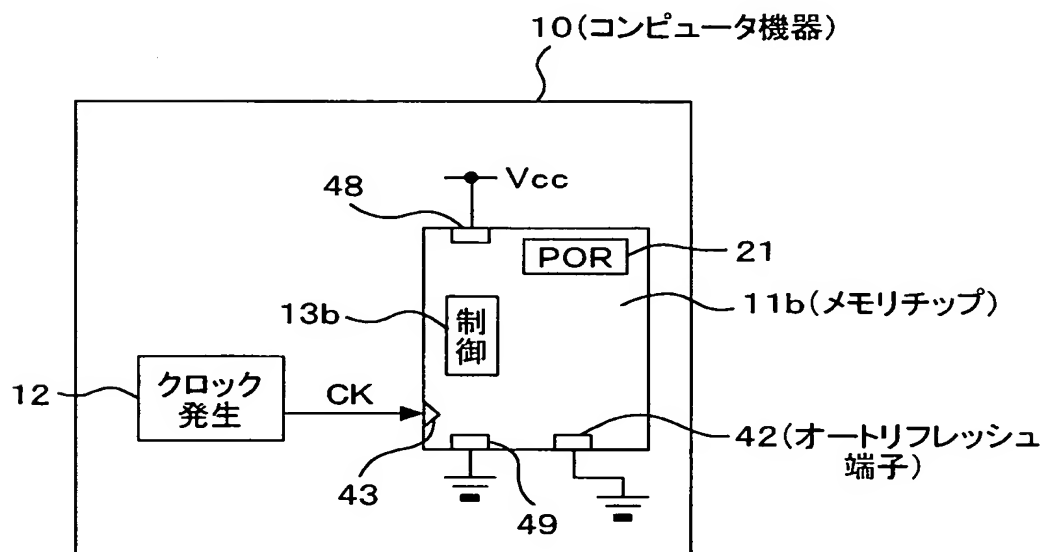


【図 3】

21(パワーオンリフレッシュ信号発生回路)

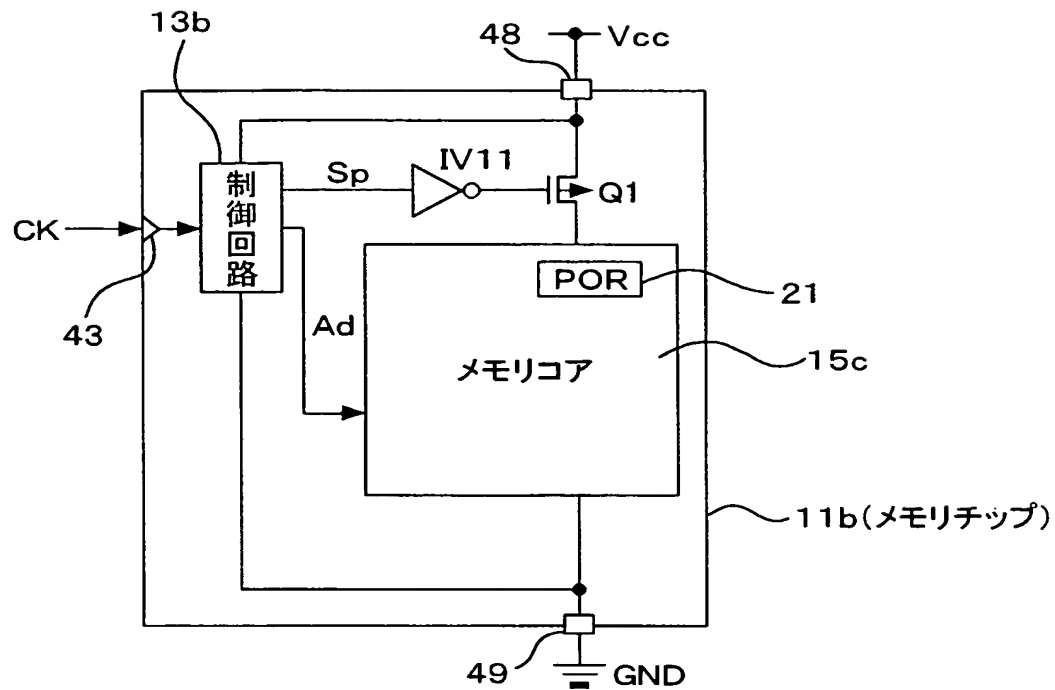


【図 4】

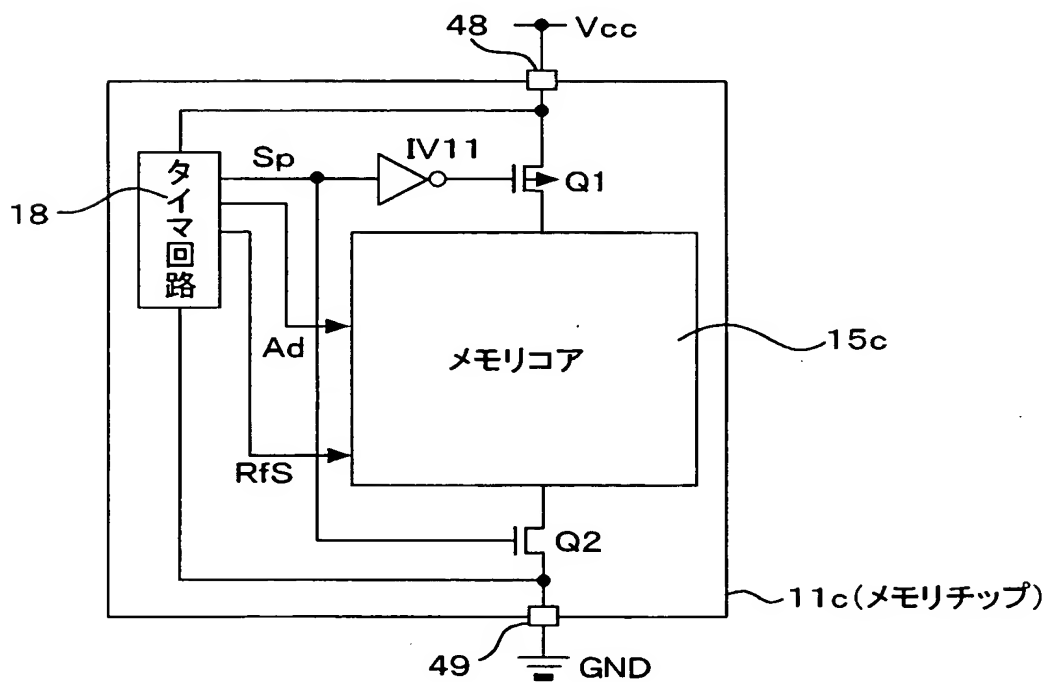




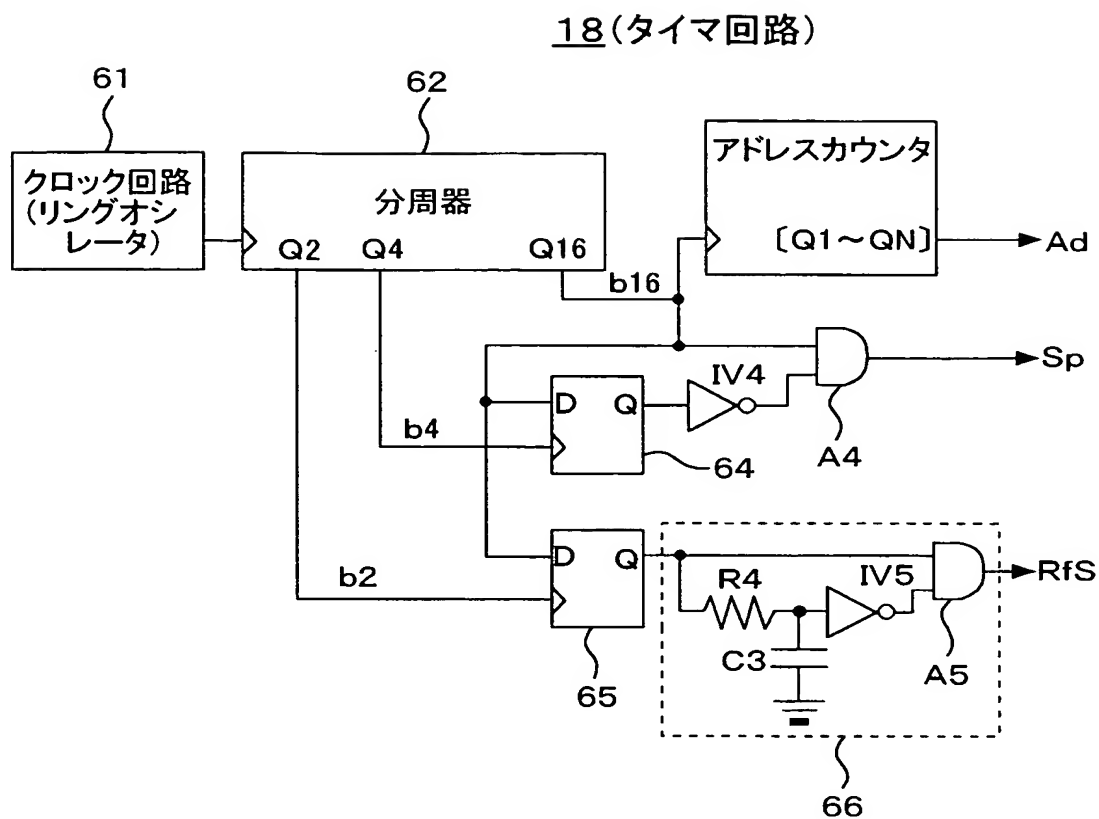
【図5】



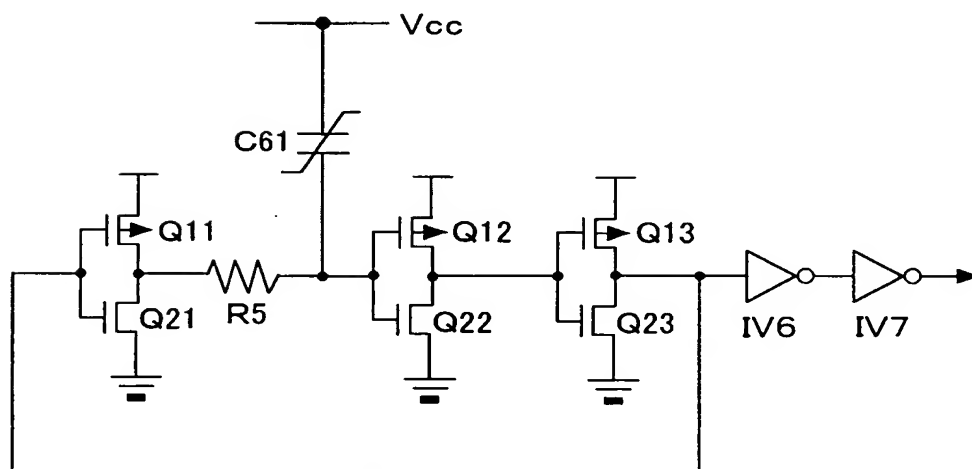
【図6】



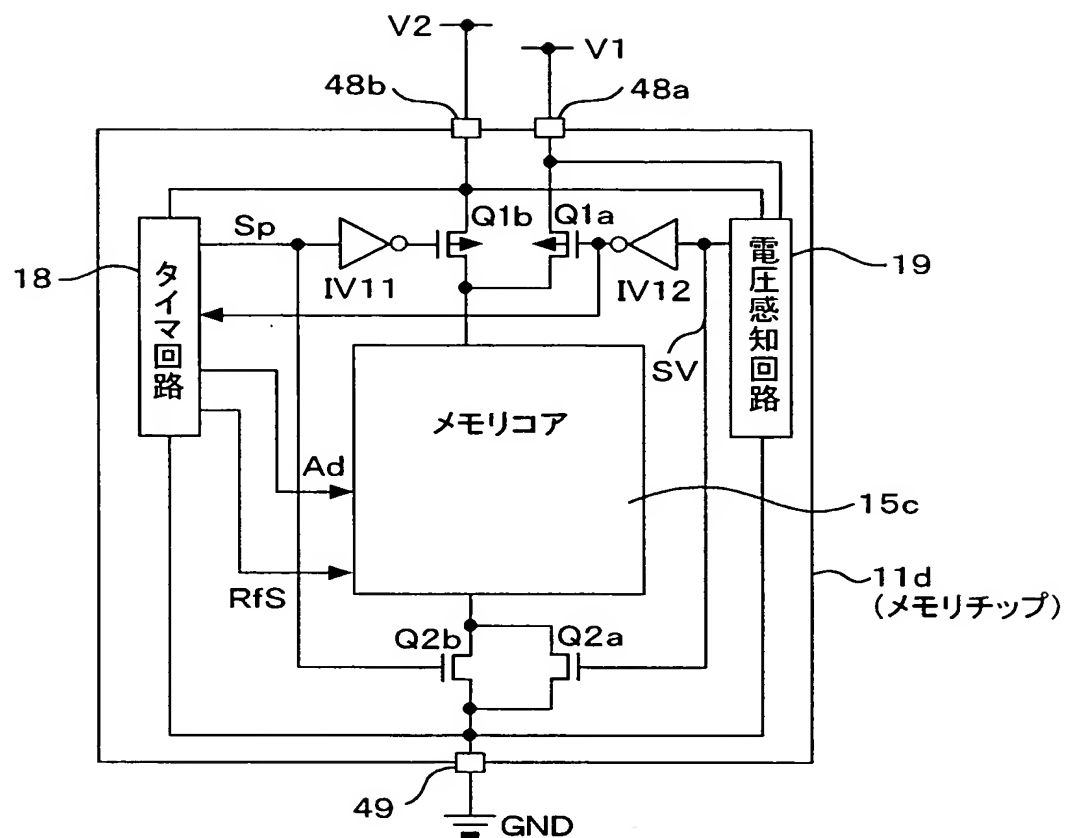
【図 7】



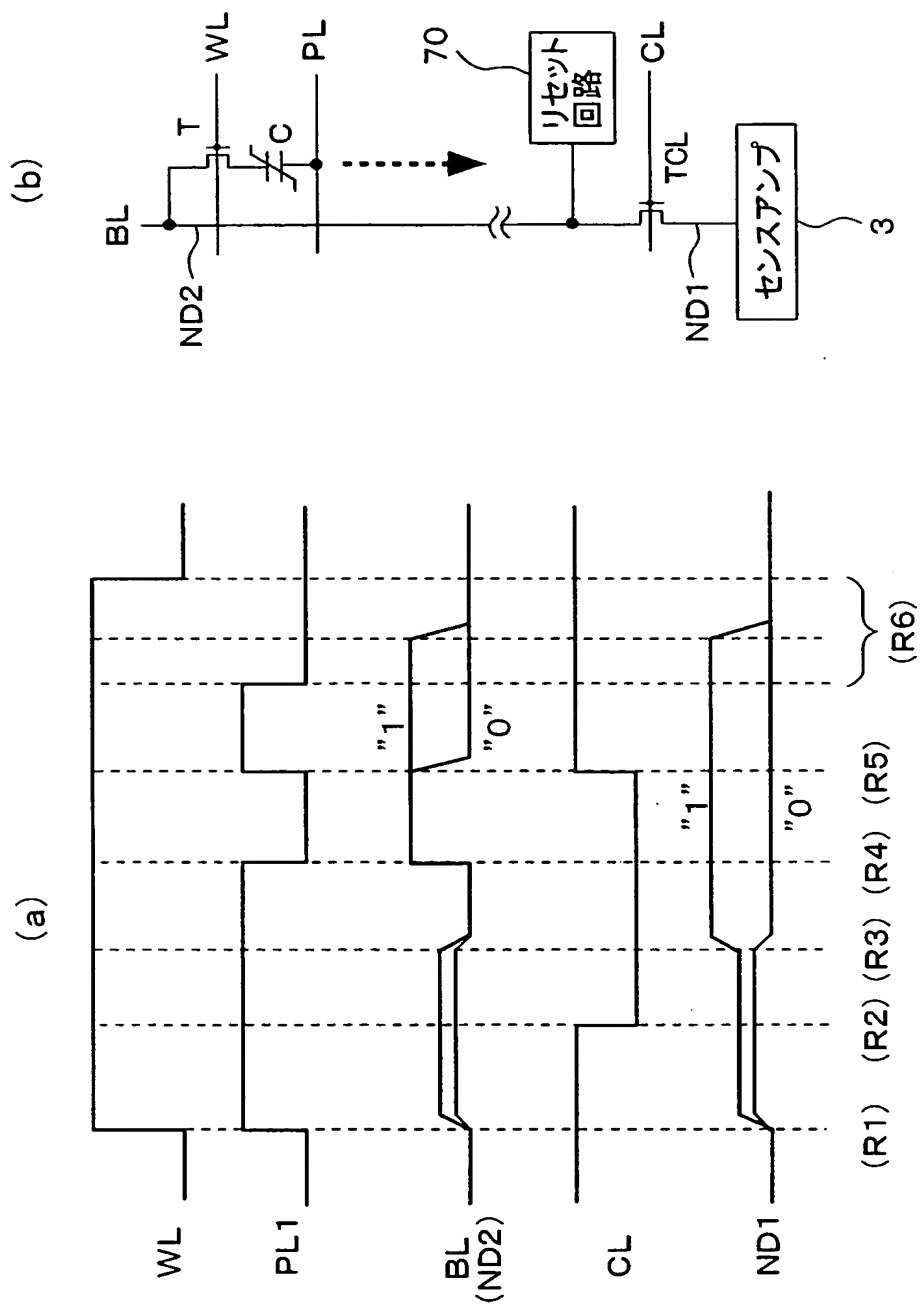
【図 8】

61(クロック回路)

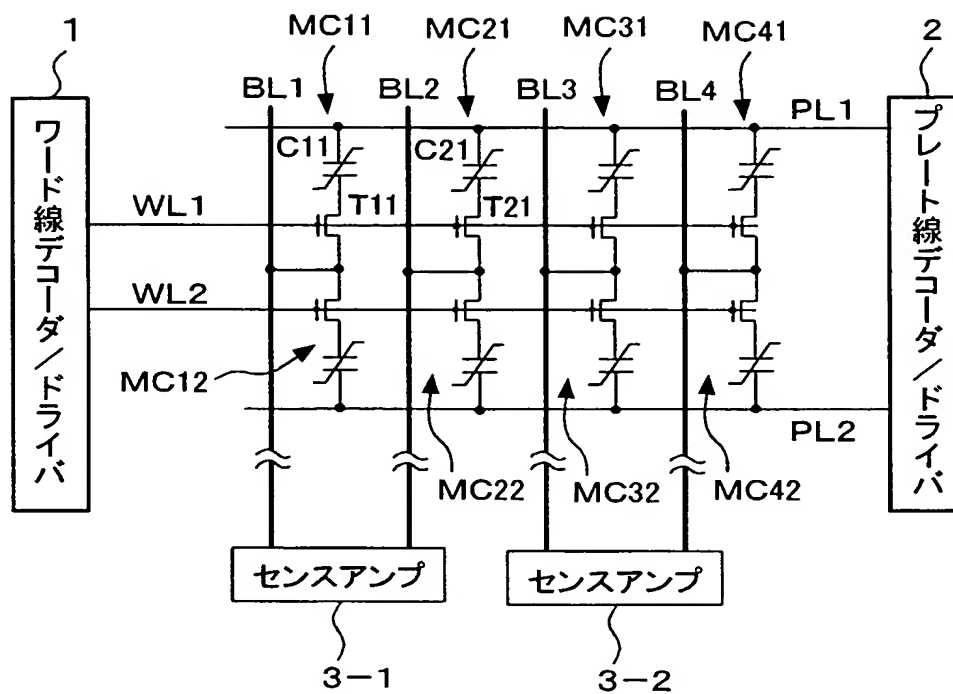
【図 9】



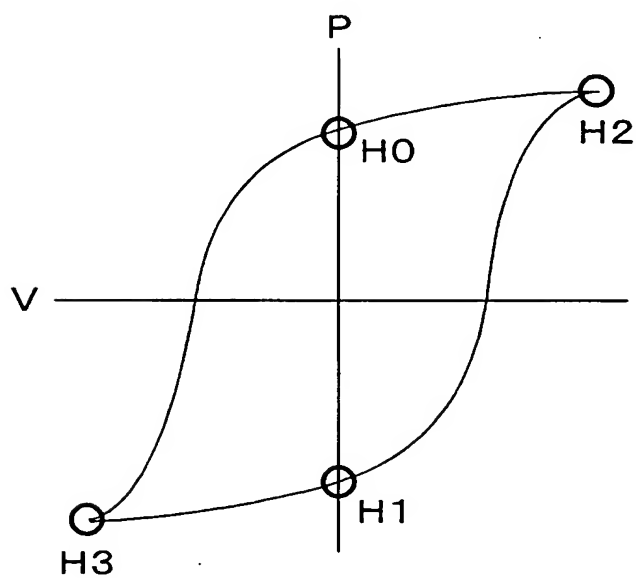
【図 10】



【図 11】



【図 12】



【書類名】 要約書

【要約】

【課題】 極小の消費電力で確実にデータを保持でき、かつ高速アクセスが可能なメモリシステムを実現する。

【解決手段】 リフレッシュ制御手段によって、自発的データ保存能力のある高速不揮発性メモリセルに対して、機器不使用時（又はメモリ待機時）に定期的にリフレッシュを施す。このように不揮発性メモリセルの自発的なデータ保持能力と、不使用時における定期的リフレッシュ、さらにはスイッチ手段のオン／オフによる間歇的電源供給を組み合わせることで、待機時の消費電力を限りなく小さく抑えつつ、確実にデータを保持することを可能とする。

【選択図】 図 1

## 認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 7 2 4 8 9
受付番号	5 0 3 0 0 4 3 4 5 4 6
書類名	特許願
担当官	第七担当上席 0 0 9 6
作成日	平成 1 5 年 3 月 2 4 日

## &lt; 認定情報・付加情報 &gt;

## 【特許出願人】

【識別番号】	000002185
【住所又は居所】	東京都品川区北品川 6 丁目 7 番 3 5 号
【氏名又は名称】	ソニー株式会社

## 【代理人】

申請人

【識別番号】	100086841
【住所又は居所】	東京都中央区新川 1 丁目 2 7 番 8 号 新川大原ビル 6 階
【氏名又は名称】	脇 篤夫

## 【代理人】

【識別番号】	100114122
【住所又は居所】	東京都中央区新川 1 丁目 2 7 番 8 号 新川大原ビル 6 階 脇特許事務所
【氏名又は名称】	鈴木 伸夫

次頁無

特願 2 0 0 3 - 0 7 2 4 8 9

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 2 1 8 5 ]

1. 変更年月日	1 9 9 0 年 8 月 3 0 日
[変更理由]	新規登録
住 所	東京都品川区北品川 6 丁目 7 番 3 5 号
氏 名	ソニー株式会社